PowerPro:
RTL全ての段階でローパワー化の支援と管理

フィジカルを考慮したパワー解析

RTL論理設計 → ゲート → レイアウト

マニュアル･パワー最適化を支援

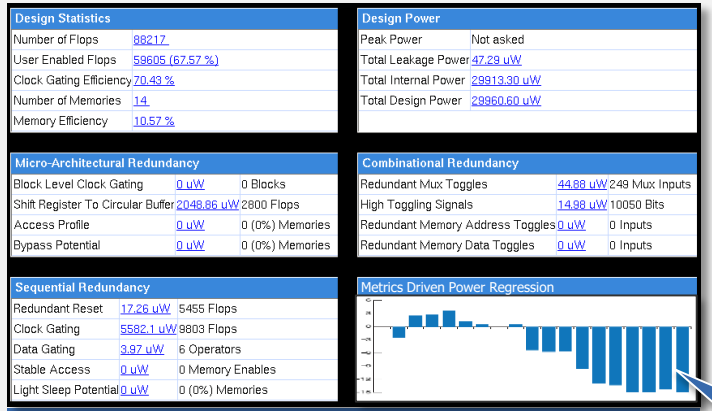
自動最適化

```
module adder
  #(length = 4)
   (input wire   [length-1:0] a, b,
    output logic [length-1:0] sum,
    output logic overflow);

   logic [length-1:-1] carry;

   always @(a or b)
     begin
        carry[-1] = 0;
        for (int i=0; i<length; i = i+1)
          begin :addloop
             sum[i] = a[i] ^ b[i] ^ carry[i-1];
             carry[i] = ((a[i]^b[i]) & carry[i-1]) | (a[i] & b[i]);
          end : addloop
        overflow = carry[length-1] ^ carry[length-2];
     end
endmodule :adder
```

パワー浪費を構造的に解析
(Power Lint)



パワー浪費を機能(動作)的に解析

パワー･リグレッション機能

Mentor® A Siemens Business