



onespin

assuring IC integrity

**OneSpin<sup>®</sup> 360 機能正確性ソリューション**

**OneSpin 360 設計検証ソリューション**

**OneSpin 360 SystemC/C++ソリューション**

**OneSpin 360 EC-FPGA<sup>™</sup>ソリューション**

# OneSpin® 360 Design Verification ソリューション

## 自動化された設計検査からメトリックドリブン検証まで

### 特長

- 人手で記述したアサーションやシミュレーションテストベクターを使用しない詳細なスタティック設計検証
- 標準および専用アプリの幅広いライブラリ
- ローカルおよびエンドツーエンドアサーションの両方を開発するためのサポートおよびメソッドロジ
- 正確な Quantify™ オブザベーションカバレッジにより進捗を監視しサインオフを達成

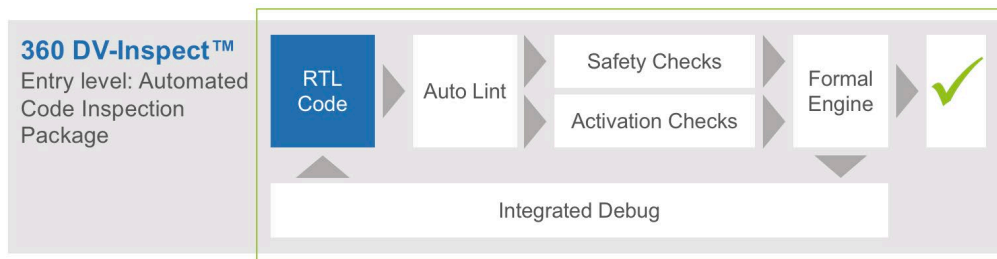
### ONESPIN 360 DV™ 概要

OneSpin 360 Design Verification (DV) 製品群は自動化された設計解析から高度なプロパティチェックに至るまでの様々なツールの基盤として最先端のハイパフォーマンスなフォーマルテクノロジーを使用しています。ソリューションおよびアプリケーションは直感的で柔軟なユーザーインターフェイスおよびデバッグ機能を備えています。これらは既存のハードウェア開発フローに簡単に統合することができます。

OneSpin 360 DV-Inspect™ はアサーション合成とフォーマル構造解析技術を使用して、人が記述したアサーションを使用することなく設計コードの徹底した詳細なレビューを行います。OneSpin 360 DV-Verify™ は包括的かつハイパフォーマンスなプロパティチェッカーで、正確な観測性カバレッジアナライザとの組み合わせにより統合されたカバレッジドリブンアサーションベース検証 (ABV) フローを提供します。

### ONESPIN 360 DV-INSPECT™

OneSpin 360 DV-Inspect はハードウェア設計に対する詳細で自動化されたスタティック解析を提供するもので、設計者にとって欠かせないツールです。膨大な量の初期シミュレーションやスティミュラス作成作業を解消すると同時に、深刻なバグとなる前に問題を特定します。



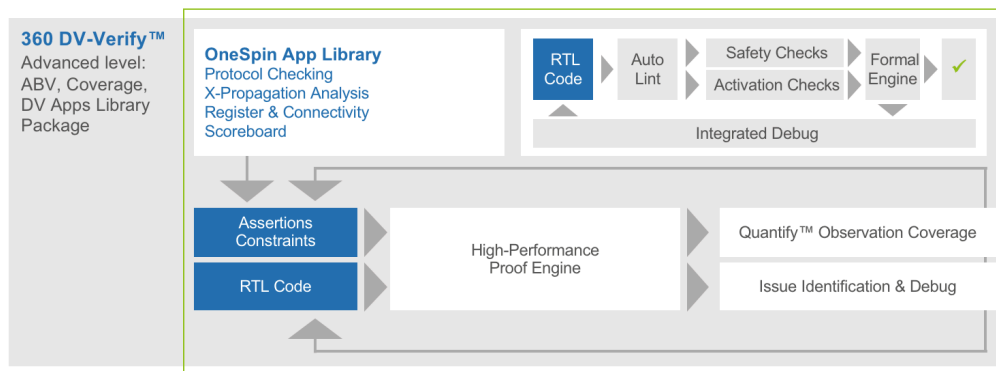
DV-Inspect は、スタティックかつ完全に自動化されたシンプルな方法でリグレッション検証や合成の前に迅速にエラーを除去するためのツールです。設計コードに対して複数のテクニックを適用し、詳細で網羅的な解析を達成します。フォーマルエンジンは他のテクニック、例えば通常のリントツールなどよりも厳密な検証を提供します。内蔵のアサーション合成が包括的な構造テストセットおよびカバレッジ解析を生成し、一層の品質向上を実現しています。シミュレーション波形の生成機能を含むデバッグツールにより問題を簡単に理解することができます。その後の検証に使用するシミュレーションテストファイルおよびカバレッジ情報も生成することが可能です。

# OneSpin 360 Design Verification ソリューション

## ONESPIN 360 DV-VERIFY™

OneSpin 360 DV-Verify は現在市販されている中で唯一の統合されたカバレッジドリブン、アサーションベース検証ソリューションです。高機能かつハイパフォーマンスなフォーマルプロパティ解析と独自の高精度な観測性カバレッジ評価を組み合わせることにより当て推量の関与しない高品質なアサーション生成が可能です。DV-Verify は既存のシミュレーションベースのソリューションを補完するよう設計されており、シミュレーションのみの環境では見つけにくい、捕捉の難しいバグの発見を可能にすると同時に、カバレッジを最大化します。

DV-Verify には OneSpin 独自の Quantify オブザベーションカバレッジ技術が含まれています。Quantify は構造的な設計の問題を追跡しながらアサーションセットの有効性を評価します。この「モデルベースのミュレーションカバレッジ」アプローチによる検証品質の理解により、きわめて高精度なカバレッジ指標が得られ、さらに「デッドコード」およびその他の問題への可視性も得られます。他のツールとの統合によりシミュレーションとフォーマル検証を組み合わせたフローを構築できます。付属のオペレーショナルアサーション SVA ライブラリでは、抽象的で複雑なアサーションを指定できます。



DV-Verify にはあらかじめパッケージ化された「アプリケーション」が含まれ、すぐに実行できる検証や便利なアサーションテンプレートとして利用できます：

- プロトコル解析
- レジスタ&接続性チェック
- フォーマルスコアボード
- X 伝播解析
- 故障注入解析
- 360 DV-Inspect のすべての機能

優れたパフォーマンスとキャパシティを特徴とする OneSpin のフォーマル証明エンジンは、ローカルだけでなくセキュアなオンデマンドクラウドベースの並列処理エンジンを使ってさらに強化することが可能です。使いやすいセットアップ機能にはリセットとクロックの検出も含まれます。DV-Verify は SystemC、SystemVerilog および VHDL をサポートし、Universal Verification Methodology (UVM) に基づくフローに沿って動作します。DV-Verify はまた、さまざまな課題を幅広く解決する OneSpin のフォーマルアプリケーションもサポートしています。

- SystemC/C++ 検証
- 大規模 SoC の接続 XL
- 浮動小数点ユニット (FPU) 検証
- RISC-V プロセッサ検証
- GapFree™ 検証
- 安全性検証

連絡先 ・ [info@onespin.com](mailto:info@onespin.com) ・ [www.onespin.com](http://www.onespin.com)

USA: +1 408 734 1900 ・ Europe: +49 89 99013-0 ・ 日本: (045) 285 1573

© Copyright 2021 OneSpin. All rights reserved. OneSpin は OneSpin Solutions GmbH の登録商標です。OneSpin Solutions、OneSpin 360、360 製品名、ならびに OneSpin のロゴは OneSpin Solutions GmbH の商標です。

その他すべての商標は各所有者に帰属します。



onespin

assuring IC integrity

# OneSpin<sup>®</sup> 360 SystemC/C++ ソリューション

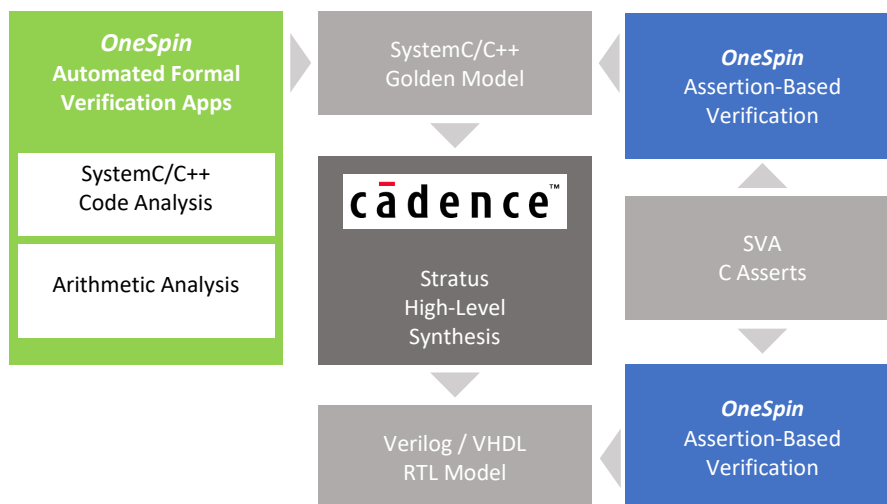
## 高位合成コードの機能検証

### 特長

- 独自の SystemC/C++ 自動フォーマルコード解析
- SystemC 言語の曖昧さによるよくある問題を検知
- 時間を節約できる自動アルゴリズム解析によりよくあるエラーを特定
- SystemVerilog Assertions (SVA) を使った完全なアサーションベース検証

### HLS 検証手法に対する要件

SystemC 高位合成 (HLS) コードのシミュレーションスタイルの検証は主として、SystemC クラスライブラリとリンクされた設計表現をコンパイルおよびデバッグし、ソフトウェア設計と同様の方法で行われます。SystemC 検証ツールの選択肢が限られていることから、検証タスクの多くは合成後の RTL コードに対して行われており、間接的な段階が加わることで問題解決は複雑かつ時間のかかるものになります。



第一の検証要件は合成前にアルゴリズムコードを綿密に検証し、抽象的なアルゴリズムが元の仕様に対してテストされ十分に最適化されていることを確認することにより、デバッグサイクル長期化を回避することです。

さらに、SystemC 規格においては、不定または“X ステート”の欠如や、スレッド間の競合状態の可能性等により、さらなるあいまいさが生じ、これらを合成前に排除しなければなりません。この抽象的な設計レベルに関連した問題は、適切な検証手法を使用すれば簡単に解決でき、最終的な設計品質の向上につながることができます。

# OneSpin 360 SystemC/C++ ソリューション

## 自動化された SYSTEMC/C++ フォーマルコード検査

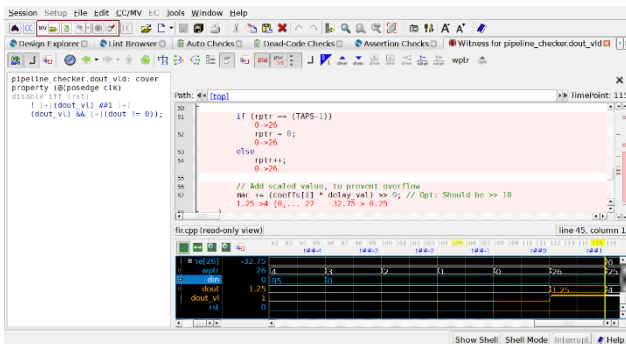
OneSpin 独自の SystemC/C++ 設計検証ソリューションでは、様々なタイミング レベルや抽象度の SystemC および C++ コンポーネントに幅広いフォーマル検証テクニックを適用することが可能になります。これにはよく知られた SystemC 言語の曖昧さを原因とする一般的な問題や、アルゴリズムのコーディングにありがちなその他の問題に対する自動チェックが含まれます。

SystemC には不定または “X state” の概念がないため、設計内を伝播する不定値を特定するのが困難です。OneSpin SystemC ソリューションはこれらの問題を自動的に検知することができます。同様に、SystemC スレッド間の競合状態も自動的にハイライトできます。また未定義のオペレーション（配列範囲外参照など）の影響も効果的に特定することができます。これらの問題やその他の問題は合成後に何時間ものデバッグ作業が必要となりますが、OneSpin 360 SystemC/C++ の自動検査機能を使うことによりこれらを合成前に解消しておくことができます。

## ONESPIN 演算解析

SystemC/C++ の演算解析により、OneSpin のソリューションは SystemC ならびにベンダー特有の固定少数点および整数データタイプに対して 2 つの主要なチェックを自動的に実行します：

- 大きな数が関与する計算を処理する際、演算ブロック内において、データパス内の任意の点においてデータを持っているレジスタのいずれも不適切なビット数によりオーバーフローしないことを確認する。
- レジスタに間違った精度が設定されていることにより MSB が使われず、無駄になるビットがデータパス内にないことを確認する。



この解析は指定されたレジスタからアルゴリズムの実装を逆にたどりレジスタにロードされる可能性のある値を特定することによりアンダーフローとオーバーフローの両方をチェックします。このプロセスはナンバリングシステムに網羅的なテストを適用するものであり、複雑なアルゴリズムに対してこれを再現するにはきわめて大規模なシミュレーションステミュラスが必要となります。ベンダー特有の固定小数点データなどその他の数値表現に対しては、パッケージ済みのアサーションライブラリを使って対応することができます。

## SYSTEMC/C++ コードのアサーションベース検証

完全なアサーションベースのフォーマル検証 (ABV) もサポートされており、包括的な時間的 SystemVerilog アサーション (SVA) あるいは C アサートを SystemC/C++ コードに対してテストすることができます。これにより、合成後の RTL コードにも適用できる一般的なアサーションメカニズムを使った豊富な検証機能が利用できます。アサーションにコーディングされた ABV 仕様要素を活用することで、アルゴリズム C++ コードを設計プロセスのより早い段階で完全に検証することができます。

連絡先 · [info@onespin.com](mailto:info@onespin.com) · [www.onespin.com](http://www.onespin.com)

USA: +1 408 734 1900 · Europe: +49 89 99013-0 · 日本: (045) 285 1573

© Copyright 2021 OneSpin. All rights reserved. OneSpin は OneSpin Solutions GmbH の登録商標です。OneSpin Solutions,

OneSpin 360、360 製品名、ならびに OneSpin のロゴは OneSpin Solutions GmbH の商標です。

その他すべての商標は各所有者に帰属します。

2021-01 V. 4



# onespin

assuring IC integrity

## OneSpin<sup>®</sup> 360 EC-FPGA<sup>™</sup>

高度に最適化された FPGA の検証のためのシーケンシャル等価性チェック

### 特長

- 複雑な FPGA 設計に合成および最適化によるエラーが存在しないことを保証
- 設計のインプリメンテーションからデバッグのループを劇的に加速
- ゲートレベルシミュレーションやテストベクターが不要となり、見つけにくい設計フロー上のバグを除去可能
- 複雑なシーケンシャルリタイミングを含むあらゆる FPGA 合成最適化をサポート
- ISO 26262、IEC 61508、EN 50128 向け TQK (ツール認定キット)
- TÜV SÜD により ASIL D および SIL 3 まで認証された TQK によりツール安全性コンプライアンスのための作業を解消
- DO-254 向けツール評価および認定キット

### EC-FPGA 概要

OneSpin 360 EC-FPGA ソリューションは、機能および性能、消費電力、コストにおいて厳しい目標を達成するために適用される高度な FPGA 合成最適化処理により機能エラーが生じないことを保証します。FPGA 設計フローで実行されるあらゆるシーケンシャルな合成最適化をサポートしています。OneSpin 360 EC-FPGA は精度のゴールドスタンダードとして多数の企業で設計ソリューションのテストに利用されています。

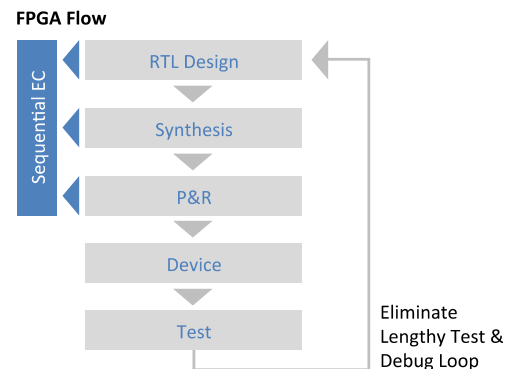
このソリューションは最適化後の設計を「そのまま」検証できます。ゲートレベルシミュレーションや設計変更を行ったり、合成による最適化を無効にする必要はありません。チップ全体のフラットなネットリストを検証することが可能で、積極的な最適化を行って設計の競争力を高める必要がある場合に効果的です。

EC-FPGA は自動化された、合成ツールに依存しないソリューションであり、RTL コードと合成後のネットリスト、そして最終的な配置配線後の設計の機能的等価性を網羅的に検証します。面倒なスクリプト作成や合成ツールにより生成される危険な「サイドファイル」等も必要ありません。

### あらゆる合成最適化をサポート

EC-FPGA はあらゆる FPGA 合成最適化が適用されたゲート表現に対応可能です：

- スタックアット (定数) レジスタ
- レジスタ複製およびマージ
- セーフエンコーディングおよび未知のエンコーディングによる FSM
- TRM (Triple Modular Redundancy) 最適化
- 非同期フィードバックループ
- 固定されたゲーテッドクロック
- DSP48 最適化
- リセットレジスタを含む SRL 最適化
- RAM/ROM、分散およびブロック RAM を含む
- 消費電力最適化



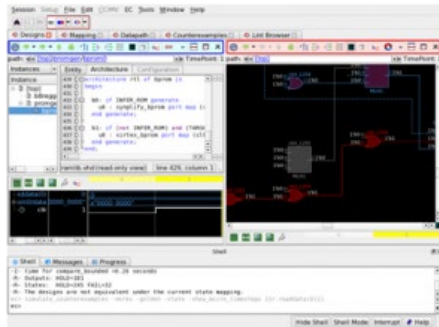
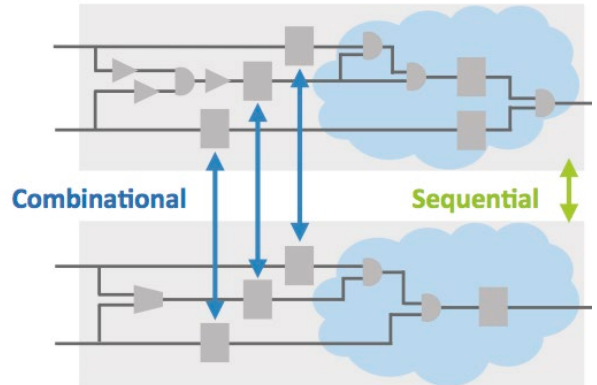
# OneSpin 360 EC-FPGA

## 検証フローおよび使いやすさ

EC-FPGA は、設計のセットアップ、マッピングと比較、そして必要に応じてデバッグという従来の等価性チェック (EC) 検証フローに沿っています。しかしながら、そのシーケンシャル等価性チェック技術は、他のソリューションで必要となる次のような多数の設計上の制限を解消しています：

- マッピング：偽の故障のない確定的結果を得るための RTL とゲートレジスタの完全なペアリングは EC-FPGA では必要なし
- 比較：EC-FPGA はシーケンシャル検証エンジンを使用し、一部の比較ポイントの反例を他の比較ポイントに依存せずに生成することが可能
- デバッグ：EC-FPGA はスタティックな故障パターンをオンデマンドで生成するシミュレーショントレースベースのデバッグを使用

代表的な検証スクリプトは、対応する FPGA ベンダーと合成ツール用のフローを設定しフローの各ステップを実行するというシンプルなものです。合成ツールへの非依存性は保たれます。



EC-FPGA はあらゆる開発シナリオに値する包括的な設計サポートを提供します：

- 主要な FPGA 合成フロー
- HDL : Verilog、SystemVerilog、VHDL、EDIF および混在言語
- プラットフォーム : Linux、Windows
- 並列および分散処理

## FPGA および合成エンジンサポート

### MICROSEMI デバイス

- Axcelerator、Fusion/SmartFusion/SmartFusion2、IGLOO/e/2/nano/PLUS、PolarFire/PolarFire SoC、ProASIC3/3E/3L/nano、ProASICPLUS、RTG4

### XILINX デバイス

- Artix、Kintex、Spartan、Virtex (7 までおよび UltraScale/UltraScale+)

### INTEL デバイス

- Arria, Stratix (10 まで)、Cyclone、Max (V まで)

### SYNOPTIS 合成ツール

- Synplify (2017.03 以降)

### XILINX 合成ツール

- ISE、Vivado (2019.1 以降)

### INTEL 合成ツール

- Quartus Prime Pro (19.3 以降)、Quartus Prime Standard (18.1 以降)

### MICROSEMI 配置配線ツール

- Libero SoC (11.8 以降)

連絡先 · [info@onespin.com](mailto:info@onespin.com) · [www.onespin.com](http://www.onespin.com)

USA: +1 408 734 1900 · Europe: +49 89 99013-0 · 日本: (045) 285 1573

© Copyright 2021 OneSpin. All rights reserved. OneSpin は OneSpin Solutions GmbH の登録商標です。OneSpin Solutions、OneSpin 360、360 製品名、ならびに OneSpin のロゴは OneSpin Solutions GmbH の商標です。

その他すべての商標は各所有者に帰属します。

2021-01 V. 6