

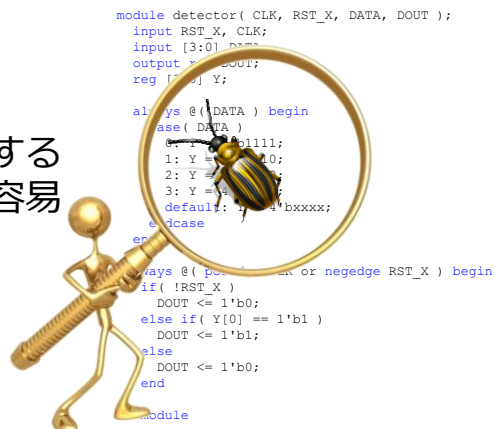
評価ボード、実機では動作しない

シミュレーションで見つからない問題

- シミュレーションと論理合成のミスマッチ
- 言語仕様では問題ないが、論理合成に不向きなデザイン
- 意図していないラッチやループ回路
- デザイン一部の初期化抜け
- If/case 文の深いネスト
- FSMで到達できないステート

このような記述の問題は、実機検証で多大な時間を要する問題を発生する。さらに解析箇所を絞り込むことは容易ではない

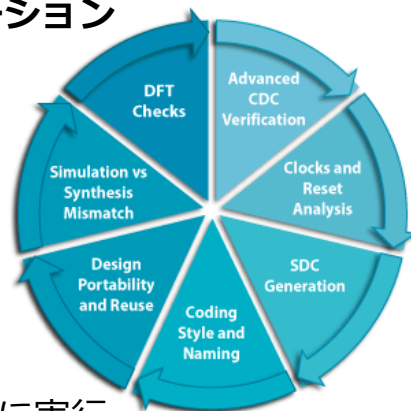
- 電源の不安定？
- タイミング不良？
- デザインバグ？
- 周辺回路の影響？
- CDC/RDC問題？



ALINT-PRO は後工程で問題となる個所を早期に明確化

1. ALINT-PRO は、RTL コードを解析する検証ソリューション

- クロック・リセット・ネットワークの解析
- RTLシミュレーションと合成後シミュレーションのミスマッチを防止
- コードのポータビリティと再利用性
- ALDEC_CDCルール・プラグインによる幅広いCDC/RDCチェック
- IP記述用のデザイン制約拡張



2. デザイン・フローの早期にバグを検出：

- デザイン作成/変更時、およびシミュレーション前に実行

3. 業界最先端の設計手法に基づいた包括的なルールライブラリ

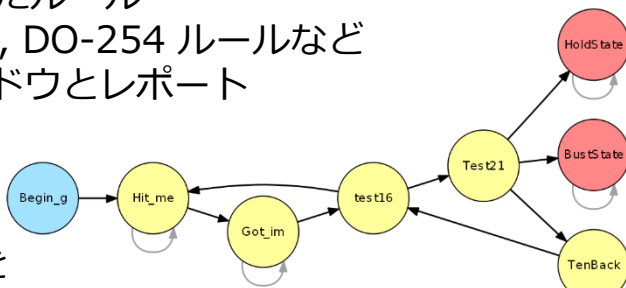
- STARC-半導体理工学センターが設定したルール
- Aldec SystemVerilog/Premium, RMM, DO-254 ルールなど

4. 解析と修正を用意にする多彩な解析ウィンドウとレポート

5. FPGAベンダの基本ライブラリをサポート

6. ベンダツール (Xilinx, Altera) のプロジェクトからのコンバートをサポート

7. Windows、Linux OS の両方で32/64bit をサポート



アルデック・ジャパン株式会社

東京都品川区東五反田1丁目7番11号

AIOS 五反田アネックス 4F

☎ 03-6277-2850

✉ sales-jp@aldec.com

🌐 <http://www.aldec.com/jp>

■ 広範な言語サポート

- SystemVerilog/Verilog/VHDL/SystemC/EDIF
- アサーション (SVA、PSL、OVA、OVL)
- OVM/UVM/OS-VVMライブラリ
- Matlab/Simulinkインタフェース
- Keysight SystemVueインタフェース

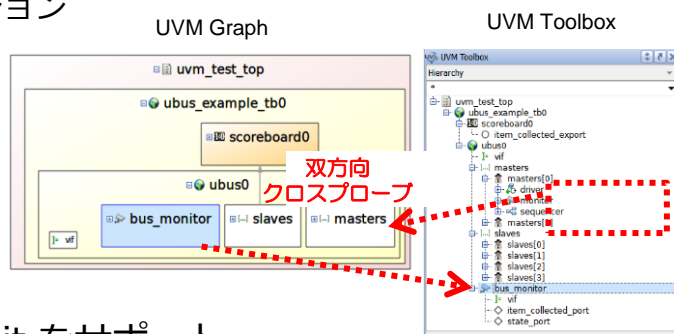
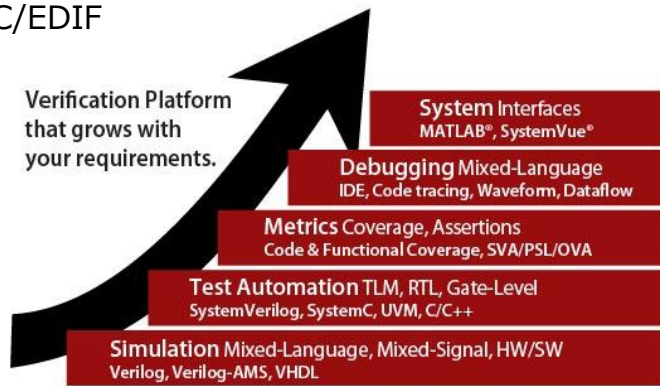
■ 高速シミュレーション

- シングルカーネル・アーキテクチャ、シミュレーション最適化エンジンを搭載
- マルチコアCPUによる加速
- ハードウェア・アシスト・シミュレーション

■ デバッグ、解析機能

- 波形表示/比較/ソースリンク
- コード/ファンクション・カバレッジ
- Xトレース、アドバンスドデータフロー
- クラス階層の可視化機能
- UVMグラフィカルデバッグツール等

■ Windows、Linux OS の両方で32/64bit をサポート

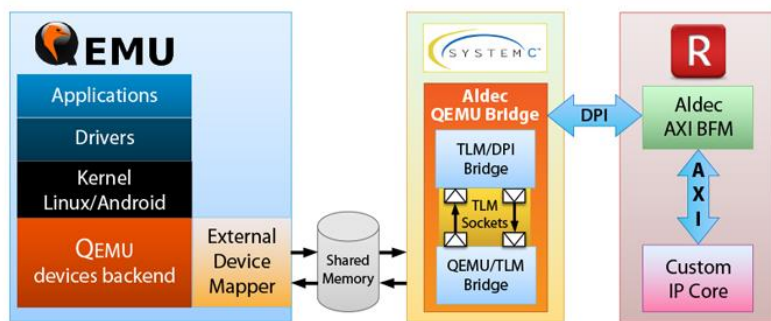


Xilinx Zynq FPGA PS/PL 協調シミュレーション

Xilinx Zynq FPGAでは、ハードウェアとソフトウェアの統合に伴い複雑な問題が増加しています。これら多くの問題は解析が困難で、プロジェクトの遅延の原因になります。

アルデックが提供するHW/SW協調検証インタフェースで、HDLコードとXilinx が提供しているMicroblaze、Zynq、およびZynq UltraScale+ が利用可能なQEMU

(オープンソースのプロセッサ・エミュレータ) 上で動作するソフトウェアアプリケーションやドライバとの協調シミュレーションが容易になります。ALDEC QEMU Bridge とAXI BFMは、Riviera-PRO と QEMU をつなぎ、さらにSystemC TLMトランザクションとAXIバスの相互変換を行うことで、高速協調シミュレーション用インタフェースとなります。



■ Xilinx Zynq PS/PL 協調シミュレーション

■ ハードウェア

- RTLコード内にブレークポイントの設定
- ソフトウェアアプリケーションから実行されるバスの解析
- シミュレータによる波形観測、コードカバレッジ

■ ソフトウェア

- GNU Debugger (GDB) でブレークポイントの設定、コード解析
- カーネルとドライバの検証

■ Riviera-PRO LVT で標準サポート (追加オプション不要)

ALDEC AXI BFM がサポートするバス

- AXI 3 Master
- AXI 3 Slave
- AXI 4 Master
- AXI 4 Slave
- AXI 4 Lite Master
- AXI 4 Lite Slave
- AXI 4 Stream Master
- AXI 4 Stream Slave

クリティカルセーフティデザインには コードカバレッジ収集が必須

- 自動車、医療機器、航空産業など、クリティカルセーフティデザインではコードカバレッジによる検証の網羅性の確認は重要
 - 検証抜けは重大事故の原因になりかねない
 - コンプライアンスの承認を得られない
- コードカバレッジは、もともとソフトウェアの検証手法の一つで、検証におけるソースコードの網羅性を数値化
 - ソースコードのどこを検証したか
 - 検証抜けはないか
 - 該当行が何回実行されたか
- 検証不足によるバグの発生を未然に防ぐ



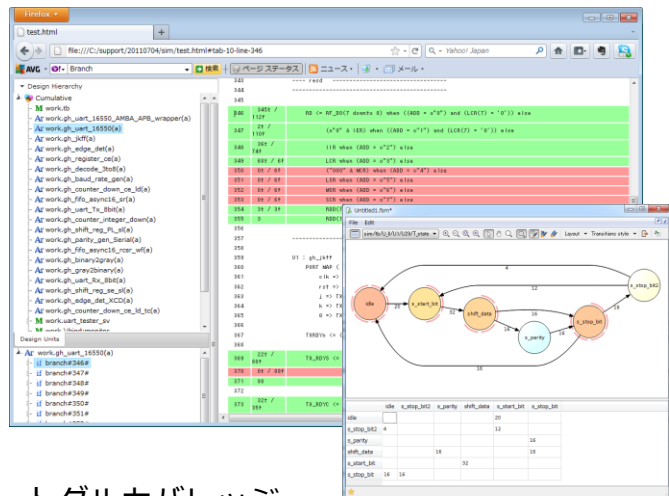
Riviera-PRO のコードカバレッジ

- シミュレーションエンジンにカバレッジ機能を統合

- ランタイム時間への影響は最小
- ソースコードへの追加記述は不要
- ソースコードと結果を同一画面で表示
- カバレッジの詳細の表示

- Accellera の統一カバレッジ・データベース (UCIS) 互換のカバレッジデータベース

- 複数のカバレッジ結果をマージ
- 各種カバレッジタイプをサポート



- ステートメントカバレッジ
ソースコードのライン毎に何回実行されたかをカウント
- ブランチカバレッジ
分岐条件の実行状況をカウント
- エクスプレッションカバレッジ
代入されている値を持つ式内の変数の組み合わせ
- コンディションカバレッジ
条件内の変数や条件の組み合わせ
- トグルカバレッジ
信号値が 0⇔1 の変化した回数をカウント
- パスカバレッジ (VHDLのみ)
依存する条件文間の組合せ
- ステートマシンカバレッジ
ステート/トランジションの実行数、およびステートの実行順序が確認可能

アルデック・ジャパン株式会社

東京都品川区東五反田1丁目7番11号

AIOS 五反田アネックス 4F

☎ 03-6277-2850

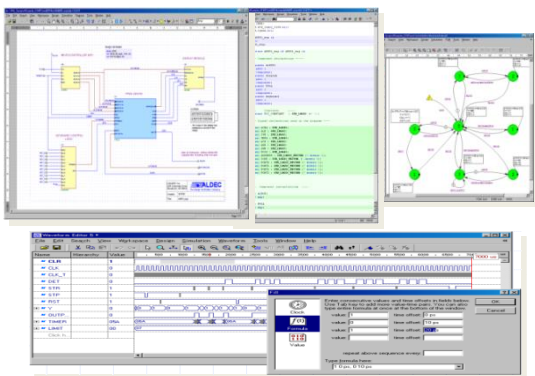
✉ sales-jp@aldec.com

🌐 <http://www.aldec.com/jp>

FPGA向けの設計とシミュレーションの統合環境

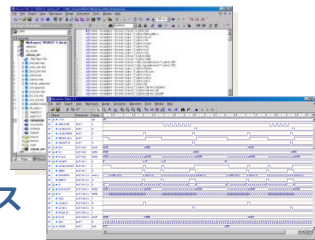
HDL デザイン作成
入力パターン作成

- グラフィカルエディタ (ブロック/ステート)
- IP コア生成
- テンプレート生成
- グラフィック変換機能
- 波形からのテストベンチ生成
- 波形エディタ



高速シミュレーション

- シングルカーネルアーキテクチャ
- VHDL、Verilog、EDIF、SystemVerilog 混在
- SVA、PSL、OVA アサーション
- SystemC 協調シミュレーション
- MATLAB/Simulink インタフェース
- UVM/UVVM/OSVVMライブラリ
- PLI、VPI、VHPI、DPI インタフェース

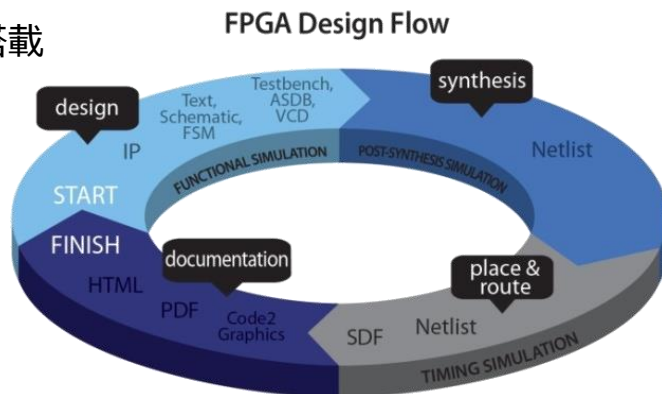


高機能デバッグ

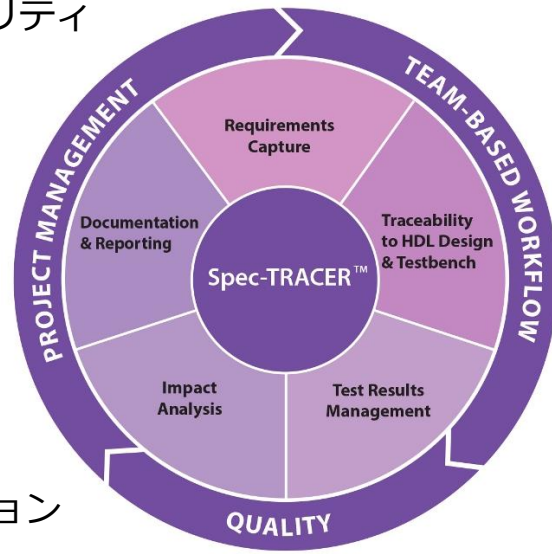
- 波形比較機能
- ファンクション/コードカバレッジ
- 波形イベントからソースへのリンク
- グラフィカルプローブ機能
- Memory ウィンドウ
- 高機能データフローウィンドウ
- C デバッグモード
- ポストシミュレーションデバッグ・モード



- ブロック・ダイアグラムやステートマシン・エディタが付属
さらにHDL コードからグラフィカルへの変更が可能、コード解析や仕様書作成に便利
- 混在言語対応シミュレータ (VHDL, VerilogおよびSystemVerilog)
- Xilinx Vivado/ISE、Intel(Altera) Quartus といったFPGA 開発ツール、および論理合成ツールとの統合が可能
- MATLAB/Simulink インタ下フェースを搭載
- 最新のHDL標準暗号化 IPをサポート
- チームベースのデザイン管理機能を提供
- デザインドキュメントをHTMLやPDFで自動生成、すぐにデザインを共有可能
- Windows 32/64bit をサポート
- Spec-TRACER とシームレスに統合



- 要求仕様のインポート (MS Word, MS Excel, IBM DOORS)
- トップダウンおよびボトムアップのトレーサビリティ
- HDL デザインおよびテストベンチ、検証結果への双方向トレーサビリティ
- チーム・ベースの要求管理メソッド
- 要求仕様変更による影響解析
- コードカバレッジ、PSL およびファンクションカバレッジを含む検証結果の管理
- 要求仕様のカバレッジを分析
- 事前定義済みおよびユーザ定義のレポート
- 要求仕様レベルでのバージョンおよびベースラインの制御
- IBM DOORS とのダイレクト・インテグレーション
- DO-254 要求トレーサビリティをサポート

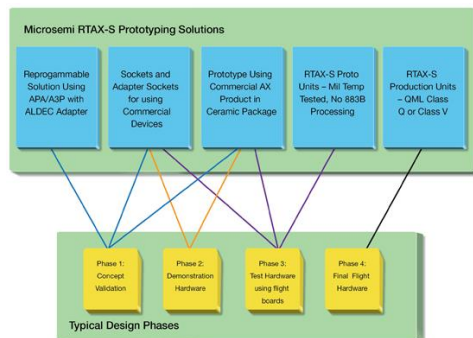


1. セーフティ・クリティカル分野では、要求仕様をベースとするデザイン保証のプロセスで必須となる、要求仕様の獲得、マネジメント、分析、トレーサビリティ等を促進し、これらを一元管理します
2. チームベース手法と適切なプロジェクト・ベースライン構成のコントロールとの組み合わせにより、開発サイクル、協業、リスク軽減やコスト削減を必要とする企業の能率化に役立ちます

- 要求仕様 (Word, Excel, DOORS) をインポート
- HDLソースのインポート
- 要求IDタグのインポート

- 容易に要求仕様へのリンクを作成
- HDL デザインの検証を実行、その結果を一元管理
- 要求仕様からHDL デザイン、テストベンチ、検証結果へのトレーサビリティを促進

- 業界デファクト実証済みのソリューション
- フラッシュベース Microsemi ProASIC3Eを使用しての再プログラム可能
- ターゲットデバイスのパッケージとフットプリントが互換
- OTP 部品無しで即時検証開始
- TAT 短縮



RTAX-S/SL



ACT-H600-CQ208

- Supported FPGA
RTAX250S-CQ208
RTAX250SL-CQ208
- JTAG connector
- CQ208 footprint
- Size : 37 mm x 37 mm



ACT-H3Ki-CQ256

- Supported FPGA
RTAX2000S-CQ256
RTAX2000SL-CQ256
- JTAG connector
- CQ256 footprint
- Size : 43.07 mm x 43.07 mm



ACT-H4Ki-CQ352

- Stacked MB/DB
- Supported FPGA
RTAX4000S-CQ352
RTAX4000SL-CQ352
- JTAG connector
- CQ352 footprint
- Size : 55 mm x 55 mm



ACT-H3Ki-CQ352

- Supported FPGA
RTAX250S/SL-CQ352
RTAX1000S/SL-CQ352
RTAX2000S/SL-CQ352
- JTAG connector
- CQ352 footprint
- Size : 55 mm x 55 mm



ACT-H3Ki-CG624

- Supported FPGA
RTAX250S/SL-CG624
RTAX1000S/SL-CG624
RTAX2000S/SL-CG624
- JTAG connector
- CG624 footprint
- Size : 32.5 mm x 34 mm

RTSX-SU/SX-A



ACT-RTSXi-CQ208

- Stacked MB/Power DB
- Supported FPGA
RTSX32SU/72SU-CQ208
RT54SX32S/72S-CQ208
A54SX32A/72A-CQ208
- JTAG connector
- CQ208 footprint
- Size : 37 mm x 37 mm



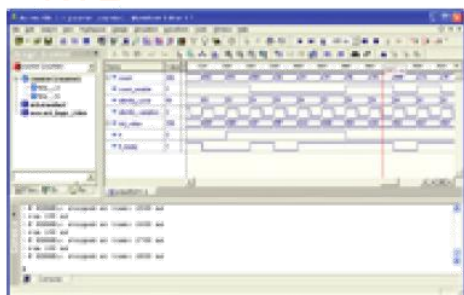
ACT-RTSXi-CQ256

- Stacked MB/Power DB
- Supported FPGA
RTSX32SU/72SU-CQ256
RT54SX32S/72S-CQ256
A54SX32A/72A-CQ256
- JTAG connector
- CQ256 footprint
- Size : 43.07 mm x 43.07 mm

ターゲットボードによるテスト環境で DO-254/ED-80の検証目標を達成することが可能なプラットフォーム

- Level A及びBのDO-254デザインに対応
- DO-254認定に必要なドキュメンテーション作成作業を大幅に削減
- ターゲット・デバイスでアット・スピード・テスト
- テストベンチをテスト・ベクタとして再利用
- デバイス・テストのためのFPGAハードウェア・ボードへの容易なアクセス
- Altera®, Lattice®, Mircrosemi®, およびXilinx®のFPGAデバイスに対応
- シリアル高速I/O (ARINC 818、PCIe、DDR3、LVDS) を搭載したFPGAをサポート
- 自動的な結果比較メソッドロジテストによる検証カバレッジを向上
- FPGAレベルの仕様をすべて検証できる単一環境
- 波形ビューワでハードウェア・テストの結果を可視化

RTL Simulator



実行フロー

ステップ1:

RTLシミュレータを使用したDUTのファンクションシミュレーションを実行
DO-254 / CTS 2セットのベクタを生成するプラグインを提供（デザインとテストベンチの変更不要）:

- 入力ベクタ - テストベンチをベースにハードウェアテストのテストベクタ
- ゴールデンベクタ - 結果比較のベースになるRTLシミュレーション結果

ステップ2:

FPGAドーターボードへのDUTビットファイルのプログラミング

ステップ3:

入力ベクタをテストベクタを使用してマザーボードとドーターボードによるアットスピードでのターゲットテスト

ステップ4:

ターゲットテストの結果をキャプチャし出力ベクタを生成

ステップ5:

波形ビューワを使用した出力ベクトルとゴールデンベクタの比較

PCI Mother Board

Daughter Board

